

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349189  
 (43)Date of publication of application : 15.12.2000

(51)Int.CI. H01L 23/12  
 H01L 21/60

(21)Application number : 11-155937

(71)Applicant : HITACHI LTD  
 HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 03.06.1999

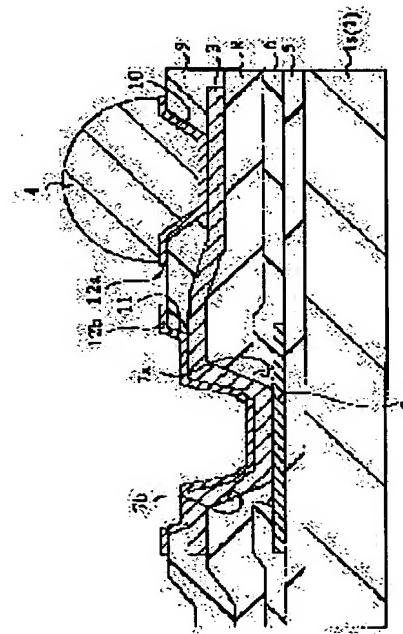
(72)Inventor : TAKAHASHI SHINO  
 YONETANI TOUTA  
 HARA YUJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve a step covering property of a rewiring in a connection hole where the rewiring is connected to an outer terminal in a semiconductor device which is packaged by using a wafer process package technique.

**SOLUTION:** In a semiconductor device subjected to a wafer process package technique where semiconductor chips are collectively subjected to a package process in a semiconductor wafer state, a connection hole 7a is provided to an inorganic insulating film 6 which covers an outer terminal 2 to partially expose the terminal 2, and a connection hole 7b where the outer terminal 2 is exposed is provided to an organic insulating film 8 on the inorganic insulating film 6 so as to be two-dimensionally involved in the connection hole 7a. A rewiring 3 on the organic insulating film 8 is electrically connected to the outer terminal 2 through the connection hole 7b.



### LEGAL STATUS

[Date of request for examination] 06.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] (a) The process which forms a predetermined component in the semiconductor chip of a semi-conductor wafer, (b) The process which forms the 1st wiring on the principal plane of said semi-conductor wafer, and the process which forms the 1st electrode electrically connected with said predetermined component through said 1st wiring on the principal plane of the (c) aforementioned semi-conductor wafer, (d) The process which forms a wrap inorganic insulator layer for the 1st electrode on the principal plane of said semi-conductor wafer, (e) The process which forms the 1st connection hole in the location which laps with said 1st electrode superficially in said inorganic insulator layer, (f) The process which forms an organic compound insulator on said inorganic insulator layer, and the process which forms the 2nd connection hole in the location which laps with said 1st electrode superficially in the (g) aforementioned organic compound insulator, (h) The process which forms the 2nd wiring electrically connected with the 1st electrode through said 2nd connection hole on said organic compound insulator, (i) The process which forms the 3rd connection hole with which a part of 2nd wiring exposes said 2nd wiring to the insulator layer after forming a wrap insulator layer, (j) The process which forms the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, (k) The manufacture approach of the semiconductor device characterized by having the process which cuts down a semiconductor chip from said semiconductor wafer after the (aforementioned j) process, and forming said 2nd connection hole so that endocyst may be superficially carried out to said 1st connection hole.

[Claim 2] (a) The process which forms a predetermined component in the semiconductor chip of a semi-conductor wafer, (b) The process which forms the 1st wiring on the principal plane of said semi-conductor wafer, and the process which forms the 1st electrode electrically connected with said predetermined component through said 1st wiring on the principal plane of the (c) aforementioned semi-conductor wafer, (d) The process which forms a wrap inorganic insulator layer for said 1st electrode on the principal plane of said semi-conductor wafer, (e) The process which forms the 1st connection hole in the location which laps with said 1st electrode superficially in said inorganic insulator layer, (f) The process which forms an organic compound insulator on said inorganic insulator layer, and the process which forms the 2nd connection hole in the location which laps with said 1st electrode superficially in the (g) aforementioned organic compound insulator, (h) The process which forms the 2nd wiring electrically connected with the 1st electrode through said 1st connection hole and the 2nd connection hole on said organic compound insulator, (i) The process which forms the 3rd connection hole with which a part of 2nd wiring exposes said 2nd wiring to the insulator layer after forming a wrap insulator layer, (j) The process which forms the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, (k) The manufacture approach of the semiconductor device characterized by having the process which cuts down a semiconductor chip from said semiconductor wafer after the (aforementioned j) process, and forming said 2nd connection hole so that said 1st connection hole may be connoted superficially.

[Claim 3] The manufacture approach of the semiconductor device characterized by forming the 1st connection hole on the occasion of the formation process of said 1st connection hole in the manufacture approach of a semiconductor device according to claim 2 so that the cross-section configuration of the side face of said 1st connection hole may become forward tapered shape-like.

[Claim 4] The manufacture approach of the semiconductor device characterized by forming the 2nd connection hole on the occasion of the formation process of said 2nd connection hole in the manufacture approach of a semiconductor device according to claim 1, 2, or 3 so that the cross-section configuration of the side face of said 2nd connection hole may become forward tapered shape-like.

[Claim 5] The predetermined component formed in the semi-conductor substrate which constitutes a semiconductor chip, and the 1st wiring formed on said semi-conductor substrate. The 1st electrode electrically connected with said predetermined component through said 1st wiring. It is formed on said semi-conductor substrate. Said 1st electrode A wrap inorganic insulator layer. The 1st connection hole formed so that said a part of 1st electrode might be exposed to said inorganic insulator layer. The organic compound insulator deposited on said inorganic insulator layer on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip. So that said 1st electrode may be exposed to said organic compound insulator in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip And the 2nd connection hole formed so that endocyst might be superficially carried out to said 1st connection hole. The 2nd wiring which

was formed on said organic compound insulator and was electrically connected with said 1st electrode through said 2nd connection hole on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip. The 3rd connection hole formed so that a part of 2nd wiring might expose said 2nd wiring to a wrap insulator layer in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. It is formed in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. The semiconductor device characterized by having the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate.

[Claim 6] The semiconductor device characterized by being covered with the organic compound insulator in said 2nd connection hole in a semiconductor device according to claim 5 so that said inorganic insulator layer may not be exposed.

[Claim 7] The predetermined component formed in the semi-conductor substrate which constitutes a semiconductor chip, and the 1st wiring formed on said semi-conductor substrate. The 1st electrode electrically connected with said predetermined component through said 1st wiring. It is formed on said semi-conductor substrate. Said 1st electrode A wrap inorganic insulator layer. The 1st connection hole formed so that said a part of 1st electrode might be exposed to said inorganic insulator layer. The organic compound insulator deposited on said inorganic insulator layer on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip. So that said 1st electrode may be exposed to said organic compound insulator in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip And the 2nd connection hole formed so that said 1st connection hole might be connoted superficially. The 2nd wiring which was formed on said organic compound insulator and was electrically connected with said 1st electrode through said 1st connection hole and the 2nd connection hole on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip. The 3rd connection hole formed so that a part of 2nd wiring might expose said 2nd wiring to a wrap insulator layer in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. It is formed in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. The semiconductor device characterized by having the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate.

[Claim 8] The semiconductor device characterized by the cross-section configuration of the side face of said 1st connection hole being a forward tapered shape-like in a semiconductor device according to claim 7.

[Claim 9] The semiconductor device characterized by the cross-section configuration of the side face of said 2nd connection hole being a forward tapered shape-like in a semiconductor device given in any 1 term of claims 5-8.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

## [0001]

[Field of the Invention] Especially this invention is applied to the semiconductor device using the wafer process package (Wafer Process Package;WPP) technique of unifying a wafer process (last process) and a package process (back process), bundling up to the semiconductor chip of plurality with the condition of a semi-conductor wafer about a semiconductor device and its manufacturing technology, and giving a package process, and its manufacture approach, and relates to an effective technique.

## [0002]

[Description of the Prior Art] The WPP technique which this invention person examined has the structure called for example, a rewiring mold. A rewiring mold is the structure which carried out the package process according to the rewiring process, without using closure resin. This rewiring is wiring which connects electrically the external terminal (the so-called bonding pad) of a semiconductor chip, and mounting electrodes, such as a bump electrode for mounting a semiconductor chip on a predetermined wiring substrate. The thing whose rewiring is the need is for taking the adjustment on the dimension of the external terminal by which a \*\* rule is carried out to the dimension of a wafer process, and the mounting electrode by which a \*\* rule is carried out to the dimension of a package process. That is, since the \*\* rule of the dimensions (a dimension, contiguity spacing, etc. of the electrode itself) of a mounting electrode is carried out to the dimension by the side of the above-mentioned wiring substrate, a big dimension is more relatively [ than the dimensions (a dimension, contiguity spacing, etc. of the terminal itself) of the external terminal by which a \*\* rule is carried out to a wafer process ] needed. For this reason, an external terminal cannot be used for a mounting electrode as it is. Then, a mounting electrode is arranged at the comparatively large free area of a semiconductor chip. For this reason, rewiring which ties an external terminal and a mounting electrode is needed. An example of the rewiring structure which this invention person examined is as follows. On the semiconductor substrate, the 1st insulator layer of a wrap is formed in the external terminal. As for this 1st insulator layer, it comes to carry out the volume of the organic compound insulator on an inorganic insulator layer. The 1st connection hole with which that external terminal is exposed is punched in this external terminal at the 1st insulator layer of a wrap. The end of rewiring is electrically connected to the external terminal through the 1st connection hole. The rewiring is pulled out on the 1st insulator layer. Rewiring pulled out on the 1st insulator layer is covered by the 2nd insulator layer. The 2nd connection hole which a part of rewiring on the 1st insulator layer exposes is formed in this 2nd insulator layer. It connects with a bump substrate metal layer electrically through the 2nd connection hole, and a part of the rewiring is electrically connected with the bump electrode through this.

[0003] In addition, about the manufacturing technology which unified such a wafer process and the package process, Nikkei Business Publications, August 1, 1998 issue, and "Nikkei micro device August, 1998 issue" p42-p71 have a publication, for example.

## [0004]

[Problem(s) to be Solved by the Invention] However, in the WPP technique which the above-mentioned this invention person examined, this invention person found out that the following technical problems occurred.

[0005] That is, it is the problem which the step coverage of rewiring in the 1st connection hole deteriorates, and a poor open circuit of rewiring produces. According to an artificer's examination result, that the poor open circuit arises has the following two kinds. As a result of an undercut's (configuration's which retreats to the method of outside gradually as the cross-section configuration approaches an external terminal's) producing the 1st at the edge of the inorganic insulator layer exposed to the connection hole in the cross-section configuration of the 1st connection hole, the step coverage of rewiring deteriorates. As a result of the edge of the inorganic insulator layer which exposes the 2nd from the connection hole in the cross-section configuration of the 1st connection hole retreating rather than the edge of an organic compound insulator, the step coverage of rewiring deteriorates.

[0006] The purpose of this invention is in the semiconductor device which used the WPP technique to offer the technique which can raise the step coverage nature of rewiring in the connection hole which connects an external terminal and rewiring.

[0007] Moreover, the purpose of this invention is to offer the technique which raises the dependability of the semiconductor device which used the WPP technique and which can be carried out.

[0008] Moreover, the purpose of this invention is to offer the technique which can raise the yield of a semiconductor device which used the WPP technique.

[0009] The other purposes and the new description will become clear from description and the accompanying

drawing of this specification along [ said ] this invention.

[0010]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0011] Namely, the process at which this invention forms a predetermined component in the semiconductor chip of (a) semi-conductor wafer, (b) The process which forms the 1st wiring on the principal plane of said semi-conductor wafer, and the process which forms the 1st electrode electrically connected with said predetermined component through said 1st wiring on the principal plane of the (c) aforementioned semi-conductor wafer, (d) The process which forms a wrap inorganic insulator layer for the 1st electrode on the principal plane of said semi-conductor wafer, (e) The process which forms the 1st connection hole in the location which laps with said 1st electrode superficially in said inorganic insulator layer, (f) The process which forms an organic compound insulator on said inorganic insulator layer, and the process which forms the 2nd connection hole in the location which laps with said 1st electrode superficially in the (g) aforementioned organic compound insulator, (h) The process which forms the 2nd wiring electrically connected with the 1st electrode through said 2nd connection hole on said organic compound insulator, (i) The process which forms the 3rd connection hole with which a part of 2nd wiring exposes said 2nd wiring to the insulator layer after forming a wrap insulator layer, (j) The process which forms the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, (k) It has the process which cuts down a semiconductor chip from said semi-conductor wafer after the (aforementioned j) process, and said 2nd connection hole is formed so that endocyst may be carried out to said 1st connection hole.

[0012] Moreover, the process at which this invention forms a predetermined component in the semiconductor chip of (a) semi-conductor wafer, (b) The process which forms the 1st wiring on the principal plane of said semi-conductor wafer, and the process which forms the 1st electrode electrically connected with said predetermined component through said 1st wiring on the principal plane of the (c) aforementioned semi-conductor wafer, (d) The process which forms a wrap inorganic insulator layer for said 1st electrode on the principal plane of said semi-conductor wafer, (e) The process which forms the 1st connection hole in the location which laps with said 1st electrode superficially in said inorganic insulator layer, (f) The process which forms an organic compound insulator on said inorganic insulator layer, and the process which forms the 2nd connection hole in the location which laps with said 1st electrode superficially in the (g) aforementioned organic compound insulator, (h) The process which forms the 2nd wiring electrically connected with the 1st electrode through said 1st connection hole and the 2nd connection hole on said organic compound insulator, (i) The process which forms the 3rd connection hole with which a part of 2nd wiring exposes said 2nd wiring to the insulator layer after forming a wrap insulator layer, (j) The process which forms the 2nd electrode to which wiring of the wiring substrate is connected in case it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, (k) It has the process which cuts down a semiconductor chip from said semi-conductor wafer after the (aforementioned j) process, and said 2nd connection hole is formed so that said 1st connection hole may be connoted superficially.

[0013] Moreover, after this invention forms said 1st connection hole after forming said inorganic insulator layer, and it forms said organic compound insulator after that, it forms said 2nd connection hole.

[0014] Moreover, after this invention forms said organic compound insulator after forming said inorganic insulator layer, and it forms said 2nd connection hole after that, it forms said 1st connection hole.

[0015] Moreover, the predetermined component formed in the semi-conductor substrate with which this invention constitutes a semiconductor chip, The 1st wiring formed on said semi-conductor substrate, and the 1st electrode electrically connected with said predetermined component through said 1st wiring, It is formed on said semi-conductor substrate. Said 1st electrode A wrap inorganic insulator layer. The 1st connection hole formed so that said a part of 1st electrode might be exposed to said inorganic insulator layer, The organic compound insulator deposited on said inorganic insulator layer on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip, So that said 1st electrode may be exposed to said organic compound insulator in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip And the 2nd connection hole formed so that endocyst might be superficially carried out to said 1st connection hole, The 2nd wiring which was formed on said organic compound insulator and was electrically connected with said 1st electrode through said 2nd connection hole on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip, The 3rd connection hole formed so that a part of 2nd wiring might expose said 2nd wiring to a wrap insulator layer in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip, In case it is formed in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip, and it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, it has the 2nd electrode to which wiring of the wiring substrate is connected.

[0016] Furthermore, the predetermined component formed in the semi-conductor substrate with which this invention constitutes a semiconductor chip, The 1st wiring formed on said semi-conductor substrate, and the 1st electrode electrically connected with said predetermined component through said 1st wiring, It is formed on said semi-conductor substrate. Said 1st electrode A wrap inorganic insulator layer. The 1st connection hole formed so that said a part of 1st electrode might be exposed to said inorganic insulator layer, The organic compound insulator deposited on said inorganic insulator layer on the occasion of the condition of the semi-conductor wafer before

separating into said semiconductor chip. So that said 1st electrode may be exposed to said organic compound insulator in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. And the 2nd connection hole formed so that said 1st connection hole might be connected superficially. The 2nd wiring which was formed on said organic compound insulator and was electrically connected with said 1st electrode through said 1st connection hole and the 2nd connection hole on the occasion of the condition of the semi-conductor wafer before separating into said semiconductor chip. The 3rd connection hole formed so that a part of 2nd wiring might expose said 2nd wiring to a wrap insulator layer in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip. In case it is formed in the case of the condition of the semi-conductor wafer before separating into said semiconductor chip, and it connects with said 2nd wiring electrically through said 3rd connection hole and said semiconductor chip is mounted in a predetermined wiring substrate, it has the 2nd electrode to which wiring of the wiring substrate is connected.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, what has the same function in the complete diagram for explaining the gestalt of operation attaches the same sign, and explanation of the repeat is omitted.

[0018] (Gestalt 1 of operation) The WPP technique of bundling up to the semiconductor chip of plurality with the condition of for example, a semi-conductor wafer, and giving a package process is used for the semiconductor device of the gestalt 1 of this operation. In addition, the package process said here is the process after forming an external terminal (bonding pad), and says even the formation process of the electrode (the below-mentioned bump electrode) for connecting a semiconductor chip to a predetermined wiring substrate.

[0019] Drawing 1 is the whole semiconductor chip 1 top view which constitutes the semiconductor device. 1s of semi-conductor substrates which constitute a semiconductor chip 1 It consists of wafers, such as single crystal silicon formed in the shape of a flat-surface rectangle. For example, to the principal plane For example, DRAM (Dynamic RandomAccess Memory), Memory circuits, such as SRAM (Static Random Access Memory) or a flash memory (EEPROM; Electric Erasable and Programmable Read Only Memory). The circuit of the mixed-loading mold which has established a logical circuit, or the above-mentioned memory circuit and logical circuits, such as a microprocessor, in the 1s of the same semi-conductor substrates is formed.

[0020] In the center of a principal plane of a semiconductor chip 1 (center of the cross direction of a semiconductor chip 1), two or more external terminals (the 2nd electrode) 2 are arranged for every predetermined spacing along with the longitudinal direction of a semiconductor chip 1. The external terminal 2 is the drawer electrode of the above-mentioned circuit, and is formed in the wafer process. In addition, the wafer process said here means a process until it will be in the condition which the external terminal 2 is formed and can inspect the electrical characteristics of each semiconductor chip in a semi-conductor wafer, after forming a component and wiring (1st wiring) in a semi-conductor wafer.

[0021] The end of rewiring (2nd wiring) 3 is electrically connected to each external terminal 2. The other end of this rewiring 3 is prolonged along the direction of a long side from the center of a semiconductor chip 1, and land 3a is formed in that other end. Land 3a is regularly located in a line with the principal plane of a semiconductor chip 1, and is distributed. The diameter of each land 3a is formed with the bigger dimension than the width of face of other parts of rewiring 3, and the bump electrode (the 2nd electrode) 4 is formed in the condition of having connected with the land 3a electrically. The bump electrode 4 is formed with the big dimension (the dimension and contiguity spacing of bump electrode 4 the very thing) more relatively than the above-mentioned external terminal 2. A semiconductor chip 1 is mounted on a predetermined wiring substrate with the bump electrode 4. And the external terminal 2 of a semiconductor chip 1 and wiring of the above-mentioned predetermined wiring substrate are mutually connected electrically through the bump electrode 4. That is, the semiconductor device of the gestalt 1 of this operation is a semiconductor device of for example, CSP (Chip Size Package) structure.

[0022] Drawing 2 is the important section sectional view of the semiconductor chip 1 of drawing 1. Moreover, drawing 3 is the sectional view which extracted a part for the connection pore in the external terminal of drawing 2. In addition, it is not illustrated by drawing 2 although the component for forming the above-mentioned circuit is formed in the principal plane of 1s of semi-conductor substrates.

[0023] The interlayer insulation film 5 is formed on the principal plane of 1s of semi-conductor substrates. It consists of silicon oxide film and, as for the interlayer insulation film 5, the above-mentioned external terminal 2 is formed in the top face. The external terminal 2 consists of an aluminum and aluminum-copper alloy, an aluminum-silicon alloy, or an aluminum-copper-silicon alloy. In addition, the external terminal 2 is electrically connected with the component of the principal plane of 1s of semi-conductor substrates through wiring (1st wiring) formed into the interlayer insulation film 5.

[0024] Moreover, the inorganic insulator layer 6 is formed on the interlayer insulation film 5, and the top face and side face near the periphery of the external terminal 2 are covered with this. The inorganic insulator layer 6 is film equivalent to the so-called surface protective coat which mainly protects wiring (the external terminal 2 is included) from moisture, the open air, etc., for example, it consists of a cascade screen which comes to cover a silicon nitride film on the simple substance film of the silicon oxide film, or the silicon oxide film, and the thickness is about 1.6 micrometers. Connection hole (1st connection hole) 7a is punched at this inorganic insulator layer 6, and the top face of the external terminal 2 is exposed from that connection hole 7a. The cross-section configuration of the edge of the inorganic insulator layer 6 in connection hole 7a is formed for example, in the shape of a back taper. That is, it is formed so that the path of connection hole 7a may follow for approaching the external terminal 2 (lower part of

drawing 2 ) and may turn into a major diameter gradually. In addition, although the cross-section configuration of connection hole 7a formed in the inorganic insulator layer 6 tends to become back taper-like, this back taper is not what was made into intentionally, and it is shown especially in order to explain the effectiveness of the gestalt 1 of this operation.

[0025] The organic compound insulator 8 is formed on the inorganic insulator layer 6. An organic compound insulator 8 consists of resin of for example, a polyimide system, and has the function which eases the thermal stress between a semiconductor chip 1 and the wiring substrate which mounts this. The thickness of an organic compound insulator 8 is about 5 micrometers. Connection hole (2nd connection hole) 7b is punched so that it may lap with the above-mentioned connection hole 7a superficially (endocyst is superficially carried out to connection hole 7a like), and the top face of the external terminal 2 is exposed to the organic compound insulator 8 from there.

[0026] However, it sets in the gestalt 1 of this operation, the edge of the inorganic insulator layer 6 in connection hole 7a is covered with an organic compound insulator 8, and the edge of the inorganic insulator layer 6 is exposed in connection hole 7b. That is, although the superficial center position of the connection holes 7a and 7b is in agreement, as shown in drawing 3 (a) and (b), it is formed so that the direction of the flat-surface dimension a of connection hole 7b may become smaller than the flat-surface dimension B of connection hole 7a, and the flat-surface location of the edge of the connection holes 7a and 7b is in agreement. therefore, even if the cross-section configuration of the edge of the inorganic insulator layer 6 in connection hole 7a is a back taper-like, it covers to an organic compound insulator 8 — having — especially — a problem — or it is not necessary to obtain that the inorganic insulator layer 6 will be able to be deleted too much, to be at the time of connection hole 7b formation, and to take a problem [ like ] into consideration As for the difference with the above-mentioned flat-surface dimensions B and A, it is more desirable than the thickness of the inorganic insulator layer 6 that it is size.

Moreover, in the gestalt 1 of this operation, the cross-section configuration of the organic compound insulator 8 in connection hole 7b is formed in the shape of a forward tapered shape. That is, it is formed so that the flat-surface dimension a of connection hole 7b may follow for separating from the external terminal 2 (upper part of drawing 2 ) and may serve as a major diameter gradually.

[0027] The above-mentioned rewiring 3 is formed on the organic compound insulator 8. Rewiring 3 consists of copper or a copper alloy, and the end is electrically connected with the external terminal 2 through connection hole 7b. In the gestalt 1 of this operation, since connection hole 7b is formed in the shape of a forward tapered shape as described above, and the edge of the inorganic insulator layer 6 is not exposed to the interior, the step coverage of the rewiring 3 in connection hole 7b can be raised. For this reason, the incidence rate of a poor open circuit of rewiring 3 can be reduced. Therefore, it becomes possible to raise the dependability and the yield of a semiconductor device.

[0028] Moreover, an organic compound insulator 9 accumulates on an organic compound insulator 8, and rewiring 3 is covered with this. This organic compound insulator 9 consists of resin of for example, a polyimide system, and has the function which eases the thermal stress of a semiconductor chip 1 and the wiring substrate which mounts this.

[0029] The connection hole (3rd connection hole) 10 and opening 11 are formed in the organic compound insulator 9. The other end of rewiring 3 is exposed from the connection hole 10. From opening 11, rewiring 3 upper part of the external terminal 2 is exposed. The connection hole 10 and the cross-section configuration of opening 11 have also become forward tapered shape-like. On the organic compound insulator 9, the substrate metal membranes 12a and 12b are formed. It comes to put chromium, nickel, copper, and gold from a lower layer, and these substrate metal membranes 12a and 12b are electrically connected with rewiring 3 through the connection hole 10 and opening 11, respectively. One substrate metal membrane 12a is a part equivalent to the above-mentioned land 3a, for example, it is formed in a flat-surface circle configuration, and the flat-surface dimension is formed so that it may become larger than the width of face of rewiring 3. On this substrate metal membrane 12a, the bump electrode 4 which consists of lead-tin solder is formed. The diameter of the bump electrode 4 is about 260 micrometers.

[0030] Next, an example of the manufacture approach of the semiconductor device in the gestalt 1 of this operation is explained.

[0031] Drawing 4 shows the important section sectional view of 1s of semi-conductor substrates in that production process (sheet metal of the semi-conductor of an approximate circle configuration called a semi-conductor wafer in this phase). The component for forming the above-mentioned circuit is already formed in 1s of semi-conductor substrates. On the principal plane of 1s of semi-conductor substrates, the interlayer insulation film 5 which consists of silicon oxide film is formed by the CVD method etc. On this interlayer insulation film 5, the external terminal 2 which consists of an aluminum and aluminum-copper alloy, an aluminum-silicon alloy, or an aluminum-copper-silicon alloy is formed. the conductor with which this external terminal 2 consists of the above-mentioned ingredient — after forming the film on an interlayer insulation film 5 by the sputtering method etc., it is formed by carrying out patterning of this with a usual photolithography technique and a usual dry etching technique.

[0032] First, after forming the insulator layer which consists for example, of silicon oxide film with the CVD method using TEOS (Tetraethoxysilane) gas etc. on such an interlayer insulation film 5, the inorganic insulator layer 6 is formed by forming a silicon nitride film with a CVD method etc. on it further, and connection hole 7a is further punched at the inorganic insulator layer 6 by carrying out patterning with a usual photolithography technique and a usual dry etching technique. From connection hole 7a, a part of top face of the external terminal 2 is exposed. Under the present circumstances, it is satisfactory especially even if the cross-section configuration of connection hole 7a becomes back taper-like in the gestalt 1 of this operation.

[0033] Then, as shown in drawing 5 , after depositing the organic compound insulator 8 which consists of resin of a

polyimide system by the rotation applying method etc. on the inorganic insulator layer 6, connection hole 7b is punched by the wet etching method etc. Although a part of top face of external terminal 7a is exposed from connection hole 7b, the edge of the inorganic insulator layer 6 is not exposed. That is, the edge of the inorganic insulator layer 6 is covered with the organic compound insulator 8 in connection hole 7b. Moreover, the cross-section configuration of connection hole 7b is formed in the shape of a forward tapered shape. Then, the conductor which consists of copper or a copper alloy on an organic compound insulator 8 — after depositing the film by the sputtering method etc., as shown in drawing 6, rewiring 3 is formed by carrying out patterning of this with a usual photolithography technique and a usual dry etching technique.

[0034] Subsequently, as shown in drawing 7, after depositing the organic compound insulator 9 which consists of resin of a polyimide system by the rotation applying method etc., it forms on an organic compound insulator 8, and the connection hole 10 and opening 11 are formed in the organic compound insulator 9 by the wet etching method etc. Then, after depositing chromium, nickel, copper, and gold by the sputtering method etc. sequentially from a lower layer, for example, by carrying out patterning of this with a usual photolithography technique and a usual dry etching technique, the substrate metal membranes 12a and 12b are formed, and drawing 1 and the bump electrode 4 shown in 2 are formed further. Then, each semiconductor chip is cut down from 1s (semi-conductor wafer) of semiconductor substrates, and drawing 1 and the semiconductor chip 1 shown in 2 are obtained.

[0035] (Gestalt 2 of operation) In the gestalt 2 of this operation, as shown in drawing 8 (a) – (c), the flat-surface dimension a of connection hole 7b punched at the organic compound insulator 8 is larger than the flat-surface dimension B of connection hole 7a punched at the inorganic insulator layer 6, and the edge of the inorganic insulator layer 6 is exposed from connection hole 7b. As for the flat-surface dimension a in this case, and the difference of B, it is more desirable than thickness extent of the inorganic insulator layer 6, or it to become large. In the gestalt 2 of this operation, the standup condition of the side face of the connection holes 7a and 7b which connect rewiring 3 and the external terminal 2 separates to two steps, and is gently-sloping. Moreover, the edge of the inorganic insulator layer 6 in connection hole 7a does not retreat rather than the edge of the organic compound insulator 8 in connection hole 7b. Namely, the path of connection hole 7a will not be in the condition of becoming large from the path of connection hole 7b. Therefore, since the step coverage of the rewiring 3 within connection hole 7a and 7b can be raised, the incidence rate of a poor open circuit of rewiring 3 can be reduced. Therefore, it becomes possible to raise the dependability and the yield of a semiconductor device. Since structures other than this are the same as the gestalt 1 of said operation, explanation is omitted. In addition, drawing 8 (a) is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0036] Next, an example of the manufacture approach of the semiconductor device of the gestalt 2 of this operation is explained. First, as shown in drawing 9 (a), said inorganic insulator layer 6 is deposited on an interlayer insulation film 5 like the gestalt 1 of said operation. Thereby, it is a wrap about the front face (a side face and top face) of the external terminal 2. Then, like the gestalt 1 of said operation, as shown in drawing 9 (b), after forming an organic compound insulator 8 on the inorganic insulator layer 6, connection hole 7b is punched at the organic compound insulator 8. The cross-section configuration of this connection hole 7b is formed in the shape of a forward tapered shape. In this phase, the external terminal 2 is not exposed from connection hole 7b, but the inorganic insulator layer 6 is exposed. Then, as shown in drawing 8 (a), connection hole 7a is formed in the inorganic insulator layer 6 with a usual photolithography technique and a usual dry etching technique. Under the present circumstances, it is made for the flat-surface dimension B of connection hole 7a to become smaller than the flat-surface dimension a of connection hole 7b. From this connection hole 7a, a part of top face of the external terminal 2 is exposed. Thus, after exposing the external terminal 2, rewiring 3 is formed like the gestalt 1 of said operation. In addition, except this, since it is the same as the gestalt 1 of said operation, explanation is omitted.

[0037] Moreover, it can also be performed as follows. First, as shown in drawing 10 (a), after depositing said inorganic insulator layer 6 on an interlayer insulation film 5 and covering the front face (a side face and top face) of the external terminal 2 like the gestalt 1 of said operation, connection hole 7a is formed in the inorganic insulator layer 6 with a usual photolithography technique and a usual dry etching technique. From this connection hole 7a, a part of top face of the external terminal 2 is exposed. Then, like the gestalt 1 of said operation, as shown in drawing 10 (b), after forming an organic compound insulator 8 in the principal plane upper part of the semi-conductor substrate 1, connection hole 7b is punched at the organic compound insulator 8. The cross-section configuration of connection hole 7b is formed in the shape of a forward tapered shape. Under the present circumstances, it is made for the flat-surface dimension a of connection hole 7b to become larger than the flat-surface dimension B of connection hole 7a. Then, as shown in drawing 8 (a), rewiring 3 is formed like the gestalt 1 of said operation. In addition, except this, since it is the same as the gestalt 1 of said operation, explanation is omitted.

[0038] (Gestalt 3 of operation) In the gestalt 3 of this operation, in case a connection hole is punched at said inorganic insulator layer, it is performed as follows. First, as shown in drawing 11 (a), the photoresist film 13 for connection hole formation is formed on the inorganic insulator layer 6. A connection hole formation field is exposed to the photoresist film 13, and an opening pattern with which the other field is covered is formed in it. Here, the cross-section configuration of the opening pattern is formed in the shape of a forward tapered shape. Then, etching removal of the inorganic insulator layer 6 exposed from the photoresist film 13 by anisotropy dry etching processing etc. is carried out by using the photoresist film 13 as an etching mask, and connection hole 7a which a part of top face of the external terminal 2 exposes is punched. Under the present circumstances, if the cross-section configuration of the opening pattern of the photoresist film 13 has become forward tapered shape-like, the cross-section configuration of connection hole 7a punched at the inorganic insulator layer 6 will also serve as a forward

tapered shape. the direction in which the path of connection hole 7a spreads superficially in connection with it also in the lower layer inorganic insulator layer 6 although the diameter of opening of an opening pattern spreads since, as for this, etching removal also of the photoresist film 13 is gradually carried out from a thin place on the occasion of this dry etching processing — and as a result of carrying out etching removal gradually with delay in time for every dimension of that path, the cross section of connection hole 7a also becomes forward tapered shape-like. [0039] Thus, after punching connection hole 7a, the photoresist film 13 is removed. Then, as shown in drawing 11 (b), after depositing an organic compound insulator 8 and punching connection hole 7b like the gestalten 1 and 2 of said operation at the organic compound insulator 8, rewiring 3 is formed like the gestalten 1 and 2 of said operation. In the gestalt 3 of this operation, the step coverage of the rewiring 3 in connection hole 7a can be further raised by forming the cross-section configuration of connection hole 7a punched at the inorganic insulator layer 6 in the shape of a forward tapered shape. Except this, since it is the same as the gestalten 1 and 2 of said operation, explanation is omitted. In addition, drawing 11 (b) is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0040] (Gestalt 4 of operation) In the gestalt 4 of this operation, as shown in drawing 12, the cross-section configuration of connection hole 7a which constituted the insulator layer between the external terminal 2 and rewiring 3 only from an inorganic insulator layer 6, and was punched at the inorganic insulator layer 6 is made into the shape of a forward tapered shape. From connection hole 7a, the top face of the external terminal 2 part is exposed, and the external terminal 2 and rewiring 3 are electrically connected through here. Also in this case, the step coverage of the rewiring 3 in connection hole 7a can be raised like the gestalten 1-3 of said operation. moreover, lose the formation process of an organic compound insulator 8 — simplification of a process is attained by that of \*\*. In order to make the cross-section configuration of this connection hole 7a into the shape of a forward tapered shape, it is good to use the approach of the gestalt 3 said operation. Except this, since it is the same as the gestalten 1-3 of said operation, explanation is omitted. In addition, drawing 12 is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0041] (Gestalt 5 of operation) In the gestalt 5 of this operation, as shown in drawing 13, the cross-section configuration of connection hole 7b which constituted the insulator layer between the external terminal 2 and rewiring 3 only from an organic compound insulator 8, and was punched at the organic compound insulator 8 is made into the shape of a forward tapered shape. From connection hole 7b, the top face of the external terminal 2 part is exposed, and the external terminal 2 and rewiring 3 are electrically connected through here. Also in this case, the step coverage of the rewiring 3 in connection hole 7b can be raised like the gestalten 1-3 of said operation. moreover, lose the formation process of the inorganic insulator layer 6 — simplification of a process is attained by that of \*\*. Except this, since it is the same as the gestalten 1-3 of said operation, explanation is omitted. In addition, drawing 13 is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0042] (Gestalt 6 of operation) In the gestalt 6 of this operation, as shown in drawing 14, the connection hole seven a1 which constituted the insulator layer between the external terminal 2 and rewiring 3 from inorganic insulator layers 6 and 14, and was punched at the inorganic insulator layers 6 and 14, and the cross-section configuration of seven a2 are made into the shape of a forward tapered shape. The inorganic insulator layer 14 consists of a cascade screen which comes to deposit a silicon nitride film on the simple substance film of for example, the silicon oxide film, or the silicon oxide film, and has the function which mainly eases the thermal stress between a semiconductor chip 1 and the wiring substrate which mounts this. That is, the inorganic insulator layer 14 mainly has the stress relaxation function. From the connection hole seven a1 and seven a2, the top face of the external terminal 2 part is exposed, and the external terminal 2 and rewiring 3 are electrically connected through here. Also in this case, the step coverage of the connection hole seven a1 and the rewiring 3 in seven a2 can be raised like the gestalten 1-3 of said operation. moreover, lose the formation process of an organic compound insulator 8 — simplification of a process is attained by that of \*\*. In order to make this connection hole seven a1 and the cross-section configuration of seven a2 into the shape of a forward tapered shape, it is good to use the approach of the gestalt 3 said operation. Except this, since it is the same as the gestalten 1-3 of said operation, explanation is omitted. In addition, drawing 14 is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0043] (Gestalt 7 of operation) In the gestalt 7 of this operation, as shown in drawing 15, thickness of the inorganic insulator layer 6 is made thinner than the case of the gestalten 1-3 of said operation (to for example, about 0.3-0.5 micrometers). The edge of the inorganic insulator layer 6 is exposed from connection hole 7b punched at the organic compound insulator 8. From the connection holes 7a and 7b, the top face of the external terminal 2 part is exposed, and the external terminal 2 and rewiring 3 are electrically connected through here. According to the gestalt 7 of this operation, even if the cross-section configuration of the edge of the inorganic insulator layer 6 in connection hole 7a becomes back taper-like, and since the thickness of the inorganic insulator layer 6 is thin even if the edge of the inorganic insulator layer 6 has retreated rather than the edge of the organic compound insulator 8 in connection hole 7b, the step coverage of the rewiring 3 in connection hole 7a and 7b does not deteriorate. Therefore, also in the gestalt 7 of this operation, it is possible to be able to reduce the defect incidence rate of rewiring 3 and to raise the dependability and the yield of a semiconductor device like the gestalten 1-3 of said operation. Except this, since it is the same as the gestalten 1-3 of said operation, explanation is omitted. In addition, drawing 15 R> 5 is an important section sectional view in the production process of a semiconductor device (before a bump electrode formation process).

[0044] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of operation, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0045] For example, in the gestalten 1-7 of said operation, although the case where the external terminal had been arranged in the center of a principal plane top of a semiconductor chip was explained, the structure which is not limited to this and arranges an external terminal near the principal plane top periphery of a semiconductor chip is sufficient.

[0046] Moreover, you may make it be a degree. first, the side face (side face of an inorganic insulator layer) of the connection hole after forming the 1st connection hole with which an external terminal is exposed to said inorganic insulator layer — a side-attachment-wall insulator layer or a side attachment wall — a conductor — the film is formed by the etchback method etc. This forms the cross-section configuration of the edge of the connection hole in the shape of a forward tapered shape. Then, after forming an organic compound insulator, the 2nd connection hole which an external terminal exposes is formed. in this case, the side-attachment-wall insulator layer from the 2nd connection hole or a side attachment wall — a conductor — the film is made to be exposed. in this case, a side-attachment-wall insulator layer and a side attachment wall — a conductor — the time of punching the 2nd connection hole at an organic compound insulator by considering as the ingredient which can take large etch selectivity with an organic compound insulator, in case a membranous ingredient is chosen — an organic compound insulator, a side-attachment-wall insulator layer, or a side attachment wall — a conductor — the 2nd connection hole can be formed, without producing fault a lower layer inorganic insulator layer retreats by etching processing in the condition of having enlarged etch selectivity with the film. moreover, a side-attachment-wall insulator layer and a side attachment wall — a conductor — since the film is formed and it has become forward tapered shape-like, the covering nature of the 2nd wiring can also be raised.

[0047]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated by this application is explained briefly.

[0048] (1) According to . this invention, it becomes possible to raise the step coverage nature of the 2nd wiring in the connection hole which connects the 1st electrode and the 2nd wiring electrically.

[0049] (2) Since the poor open-circuit incidence rate of the 2nd wiring in the above-mentioned connection hole can be reduced, . above (1) enables it to raise the dependability of a semiconductor device.

[0050] (3) According to . this invention, since the poor open-circuit incidence rate of the 2nd wiring in the above-mentioned connection hole can be reduced, the above (1) enables it to raise the yield of a semiconductor device.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPD are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the whole semiconductor chip top view which constitutes the semiconductor device which is the gestalt of 1 operation of this invention.

**[Drawing 2]** It is the important section sectional view of the semiconductor chip of **drawing 1**.

**[Drawing 3]** (a) is the important section sectional view of the semiconductor chip of **drawing 2**, and (b) is the top view of (a).

**[Drawing 4]** It is an important section sectional view in the production process of the semiconductor device of **drawing 1**.

**[Drawing 5]** It is an important section sectional view in the production process of the semiconductor device of **drawing 1** following **drawing 4**.

**[Drawing 6]** It is an important section sectional view in the production process of the semiconductor device of **drawing 1** following **drawing 5**.

**[Drawing 7]** It is an important section sectional view in the production process of the semiconductor device of **drawing 1** following **drawing 6**.

**[Drawing 8]** (a) is the important section sectional view of the semiconductor device which is the gestalt of other operations of this invention, (b) is the important section sectional view which extracted only the important section to the part of (a), and (c) is the top view of (b).

**[Drawing 9]** (a) and (b) are the important section sectional views in the production process of the semiconductor device of **drawing 8**.

**[Drawing 10]** (a) and (b) are the important section sectional views in the production process of the semiconductor device of **drawing 8**.

**[Drawing 11]** (a) and (b) are the important section sectional views in the production process of the semiconductor device which is the gestalt of other operations of this invention.

**[Drawing 12]** It is an important section sectional view in the production process of the semiconductor device which is the gestalt of other operations of this invention.

**[Drawing 13]** It is an important section sectional view in the production process of the semiconductor device which is the gestalt of other operations of this invention.

**[Drawing 14]** It is an important section sectional view in the production process of the semiconductor device which is the gestalt of other operations of this invention.

**[Drawing 15]** It is an important section sectional view in the production process of the semiconductor device of this invention which is the gestalt of other operations further.

**[Description of Notations]**

1 Semiconductor Chip

1s Semi-conductor substrate

2 External Terminal (1st Electrode)

3 Rewiring (2nd Wiring)

3a Land

4 Bump Electrode (2nd Electrode)

5 Interlayer Insulation Film

6 Inorganic Insulator Layer

7a Connection hole (1st connection hole)

7b Connection hole (2nd connection hole)

8 Organic Compound Insulator

9 Organic Compound Insulator

10 Connection Hole (3rd Connection Hole)

11 Opening

12a, 12b Substrate metal membrane

13 Photoresist Film

14 Inorganic Insulator Layer

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-349189

(P2000-349189A)

(43)公開日 平成12年12月15日 (2000.12.15)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 23/12  
21/60

識別記号

F I

H 0 1 L 23/12  
21/92

テ-マコ-ト(参考)

L  
6 0 4 M

審査請求 未請求 請求項の数9 OL (全12頁)

(21)出願番号 特願平11-155937

(22)出願日 平成11年6月3日(1999.6.3)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 ▲高▼橋 紫濃

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

最終頁に続く

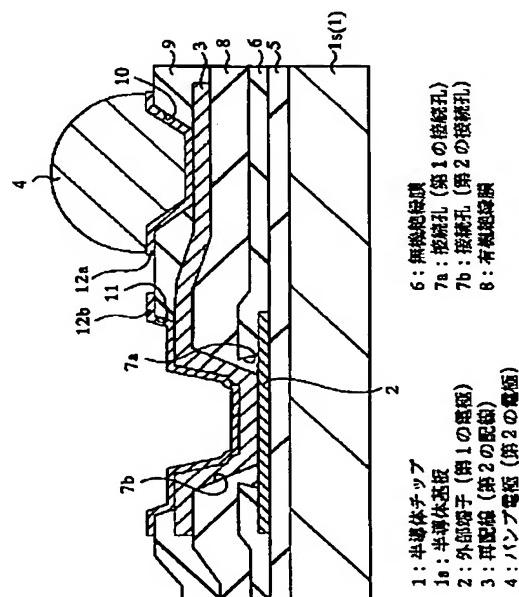
(54)【発明の名称】 半導体装置の製造方法および半導体装置

(57)【要約】

【課題】 ウエハプロセスパッケージ技術を用いた半導体装置において外部端子と再配線とを接続する接続孔内における再配線の段差被覆性を向上させる。

【解決手段】 半導体ウエハの状態のまま複数の半導体チップに対して一括してパッケージ・プロセスを施すウエハプロセスパッケージ技術を用いた半導体装置において、外部端子2を覆う無機絶縁膜6に外部端子2が露出される接続孔7aを形成し、無機絶縁膜6上の有機絶縁膜8に、外部端子2が露出される接続孔7bを、接続孔7aに平面的に内包されるように形成した。そして、有機絶縁膜8上の再配線3をその接続孔7bを通じて外部端子2と電気的に接続した。

2  
図



(2)

1

## 【特許請求の範囲】

【請求項1】 (a) 半導体ウエハの半導体チップに所定の素子を形成する工程と、(b) 前記半導体ウエハの主面上に第1の配線を形成する工程と、(c) 前記半導体ウエハの主面上に前記第1の配線を通じて前記所定の素子と電気的に接続される第1の電極を形成する工程と、(d) 前記半導体ウエハの主面上に第1の電極を覆う無機絶縁膜を形成する工程と、(e) 前記無機絶縁膜において前記第1の電極に平面的に重なる位置に第1の接続孔を形成する工程と、(f) 前記無機絶縁膜上有機絶縁膜を形成する工程と、(g) 前記有機絶縁膜において前記第1の電極に平面的に重なる位置に第2の接続孔を形成する工程と、(h) 前記有機絶縁膜上に、前記第2の接続孔を通じて第1の電極と電気的に接続される第2の配線を形成する工程と、(i) 前記第2の配線を覆う絶縁膜を形成した後、その絶縁膜に第2の配線の一部が露出する第3の接続孔を形成する工程と、(j) 前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極を形成する工程と、(k) 前記(j)工程後、前記半導体ウエハから半導体チップを切り出す工程とを有し、前記第2の接続孔を、前記第1の接続孔に平面的に内包されるように形成することを特徴とする半導体装置の製造方法。

【請求項2】 (a) 半導体ウエハの半導体チップに所定の素子を形成する工程と、(b) 前記半導体ウエハの主面上に第1の配線を形成する工程と、(c) 前記半導体ウエハの主面上に前記第1の配線を通じて前記所定の素子と電気的に接続される第1の電極を形成する工程と、(d) 前記半導体ウエハの主面上に前記第1の電極を覆う無機絶縁膜を形成する工程と、(e) 前記無機絶縁膜において前記第1の電極に平面的に重なる位置に第1の接続孔を形成する工程と、(f) 前記無機絶縁膜上有機絶縁膜を形成する工程と、(g) 前記有機絶縁膜において前記第1の電極に平面的に重なる位置に第2の接続孔を形成する工程と、(h) 前記有機絶縁膜上に、前記第1の接続孔および第2の接続孔を通じて第1の電極と電気的に接続される第2の配線を形成する工程と、(i) 前記第2の配線を覆う絶縁膜を形成した後、その絶縁膜に第2の配線の一部が露出する第3の接続孔を形成する工程と、(j) 前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極と有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法に

おいて、前記第1の接続孔の形成工程に際して、前記第1の接続孔の側面の断面形状が順テープ状になるよう第1の接続孔を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1、2または3に記載の半導体装置の製造方法において、前記第2の接続孔の形成工程に際して、前記第2の接続孔の側面の断面形状が順テープ状になるよう第2の接続孔を形成することを特徴とする半導体装置の製造方法。

【請求項5】 半導体チップを構成する半導体基板に形成された所定の素子と、

前記半導体基板上に形成された第1の配線と、

前記第1の配線を通じて前記所定の素子と電気的に接続された第1の電極と、前記半導体基板上に形成され、前記第1の電極を覆う無機絶縁膜と、

前記無機絶縁膜に前記第1の電極の一部が露出するよう形成された第1の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記無機絶縁膜上に堆積された有機絶縁膜と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜に、前記第1の電極が露出されるよう、かつ、前記第1の接続孔に平面的に内包されるよう形成された第2の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜上に形成され、前記第2の接続孔を通じて前記第1の電極と電気的に接続された第2の配線と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記第2の配線を覆う絶縁膜に第2の配線の一部が露出するよう形成された第3の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態の際に形成され、前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極と有することを特徴とする半導体装置置。

【請求項6】 請求項5記載の半導体装置において、前記第2の接続孔においては、前記無機絶縁膜が露出されないように有機絶縁膜によって覆われていることを特徴とする半導体装置。

【請求項7】 半導体チップを構成する半導体基板に形成された所定の素子と、

前記半導体基板上に形成された第1の配線と、

前記第1の配線を通じて前記所定の素子と電気的に接続された第1の電極と、

前記半導体基板上に形成され、前記第1の電極を覆う無機絶縁膜と、

前記無機絶縁膜に前記第1の電極の一部が露出するよう形成された第1の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態

(3)

3

の際に、前記無機絶縁膜上に堆積された有機絶縁膜と、前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜に、前記第1の電極が露出されるように、かつ、前記第1の接続孔を平面的に内包するように形成された第2の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜上に形成され、前記第1の接続孔および第2の接続孔を通じて前記第1の電極と電気的に接続された第2の配線と、

前記半導体チップに分離される前の半導体ウエハの状態の際に、前記第2の配線を覆う絶縁膜に第2の配線の一部が露出するように形成された第3の接続孔と、

前記半導体チップに分離される前の半導体ウエハの状態の際に形成され、前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極とを有することを特徴とする半導体装置。

**【請求項8】** 請求項7記載の半導体装置において、前記第1の接続孔の側面の断面形状が順テーパ状であることを特徴とする半導体装置。

**【請求項9】** 請求項5～8のいずれか1項に記載の半導体装置において、前記第2の接続孔の側面の断面形状が順テーパ状であることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

**【発明の属する技術分野】** 本発明は、半導体装置およびその製造技術に関し、特に、ウエハプロセス（前工程）とパッケージプロセス（後工程）とを一体化し、半導体ウエハの状態のまま複数の半導体チップに対して一括してパッケージ・プロセスを施すウエハプロセスパッケージ（Wafer Process Package；WPP）技術を用いた半導体装置およびその製造方法に適用して有効な技術に関するものである。

##### 【0002】

**【従来の技術】** 本発明者が検討したWPP技術は、例えば再配線型と呼ばれる構造を有するものである。再配線型は、封止樹脂を使わずにパッケージ・プロセスを再配線工程によって実施した構造である。この再配線は、半導体チップの外部端子（いわゆるボンディングパッド）と、半導体チップを所定の配線基板上に実装するためのバンプ電極等のような実装電極とを電気的に接続する配線である。再配線が必要なのは、ウエハプロセスの寸法に律則される外部端子と、パッケージプロセスの寸法に律則される実装電極との寸法上の整合をとるためにある。すなわち、実装電極の寸法（電極自体の寸法および隣接間隔等）は、上記配線基板側の寸法に律則されるため、ウエハプロセスに律則される外部端子の寸法（端子自体の寸法および隣接間隔等）よりも相対的に大きな寸法が必要となる。このため、外部端子をそのまま実装電

極に使用できない。そこで、実装電極は、半導体チップの比較的広い空き領域に配置される。このため、外部端子と実装電極とを結ぶ再配線が必要となるのである。本発明者が検討した再配線構造の一例は次の通りである。

半導体基板上には外部端子を覆う第1の絶縁膜が形成されている。この第1の絶縁膜は、無機絶縁膜上に有機絶縁膜が堆積されてなる。この外部端子を覆う第1の絶縁膜には、その外部端子が露出される第1の接続孔が穿孔されている。外部端子には、その第1の接続孔を通じて

10 再配線の一端が電気的に接続されている。その再配線は、第1の絶縁膜上に引き出されている。第1の絶縁膜上に引き出された再配線は第2の絶縁膜で覆われている。この第2の絶縁膜には、第1の絶縁膜上の再配線の一部が露出するような第2の接続孔が形成されている。その再配線の一部は、第2の接続孔を通じてバンプ下地金属層と電気的に接続され、これを介してバンプ電極と電気的に接続されている。

**【0003】** なお、このようなウエハプロセスとパッケージプロセスとを一体化した製造技術については、例えば日経BP社、1998年8月1日発行、「日経マイクロデバイス 1998年8月号」p42～p71に記載がある。

##### 【0004】

**【発明が解決しようとする課題】** ところが、上記本発明者が検討したWPP技術においては、以下の課題があることを本発明者は見出した。

**【0005】** すなわち、第1の接続孔内における再配線のステップカバレッジが劣化し、再配線の断線不良が生じる問題である。発明者の検討結果によれば、その断線不良が生じるのは、例えば次の2通りがある。第1は、第1の接続孔の断面形状において、その接続孔に露出する無機絶縁膜の端部にアンダーカット（その断面形状が外部端子に近づくにつれて次第に外方に後退する形状）が生じる結果、再配線のステップカバレッジが劣化するものである。第2は、第1の接続孔の断面形状において、その接続孔から露出する無機絶縁膜の端部が、有機絶縁膜の端部よりも後退する結果、再配線のステップカバレッジが劣化するものである。

**【0006】** 本発明の目的は、WPP技術を用いた半導体装置において、外部端子と再配線とを接続する接続孔内における再配線の段差被覆性を向上させることのできる技術を提供することにある。

**【0007】** また、本発明の目的は、WPP技術を用いた半導体装置の信頼性を向上させるすることのできる技術を提供することにある。

**【0008】** また、本発明の目的は、WPP技術を用いた半導体装置の歩留まりを向上させることのできる技術を提供することにある。

**【0009】** 本発明の前記ならびにその他の目的と新規的な特徴は、本明細書の記述および添付図面から明らかに

(4)

5

なるであろう。

[0010]

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】すなわち、本発明は、(a) 半導体ウエハの半導体チップに所定の素子を形成する工程と、(b) 前記半導体ウエハの主面上に第1の配線を形成する工程と、(c) 前記半導体ウエハの主面上に前記第1の配線を通じて前記所定の素子と電気的に接続される第1の電極を形成する工程と、(d) 前記半導体ウエハの主面上に第1の電極を覆う無機絶縁膜を形成する工程と、

(e) 前記無機絶縁膜において前記第1の電極に平面的に重なる位置に第1の接続孔を形成する工程と、(f) 前記無機絶縁膜上有機絶縁膜を形成する工程と。

(g) 前記有機絶縁膜において前記第1の電極に平面的に重なる位置に第2の接続孔を形成する工程と、(h) 前記有機絶縁膜上に、前記第2の接続孔を通じて第1の電極と電気的に接続される第2の配線を形成する工程と、(i) 前記第2の配線を覆う絶縁膜を形成した後、その絶縁膜に第2の配線の一部が露出する第3の接続孔を形成する工程と、(j) 前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極を形成する工程と、(k) 前記(j) 工程後、前記半導体ウエハから半導体チップを切り出す工程とを有し、前記第2の接続孔を、前記第1の接続孔に内包されるように形成するものである。

【0012】また、本発明は、(a) 半導体ウエハの半導体チップに所定の素子を形成する工程と、(b) 前記半導体ウエハの主面上に第1の配線を形成する工程と、(c) 前記半導体ウエハの主面上に前記第1の配線を通じて前記所定の素子と電気的に接続される第1の電極を形成する工程と、(d) 前記半導体ウエハの主面上に前記第1の電極を覆う無機絶縁膜を形成する工程と

(e) 前記無機絶縁膜において前記第1の電極に平面的に重なる位置に第1の接続孔を形成する工程と、(f) 前記無機絶縁膜上有機絶縁膜を形成する工程と

(g) 前記有機絶縁膜において前記第1の電極に平面的に重なる位置に第2の接続孔を形成する工程と、(h) 前記有機絶縁膜上に、前記第1の接続孔および第2の接続孔を通じて第1の電極と電気的に接続される第2の配線を形成する工程と、(i) 前記第2の配線を覆う絶縁膜を形成した後、その絶縁膜に第2の配線の一部が露出する第3の接続孔を形成する工程と、(j) 前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極を形成する工程と、(k) 前記(j)工程後、前記半導体ウエハから半導体チップを切り出す工程とを有し、前記第2の接

6

続孔を、前記第1の接続孔を平面的に内包するように形成するものである。

【0013】また、本発明は、前記無機絶縁膜を形成した後、前記第1の接続孔を形成し、その後、前記有機絶縁膜を形成した後、前記第2の接続孔を形成するものである。

【0014】また、本発明は、前記無機絶縁膜を形成した後、前記有機絶縁膜を形成し、その後、前記第2の接続孔を形成した後、前記第1の接続孔を形成するものである。

【0015】また、本発明は、半導体チップを構成する半導体基板に形成された所定の素子と、前記半導体基板上に形成された第1の配線と、前記第1の配線を通じて前記所定の素子と電気的に接続された第1の電極と、前記半導体基板上に形成され、前記第1の電極を覆う無機絶縁膜と、前記無機絶縁膜に前記第1の電極の一部が露出するように形成された第1の接続孔と、前記半導体チップに分離される前の半導体ウエハの状態の際に、前記無機絶縁膜上に堆積された有機絶縁膜と、前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜に、前記第1の電極が露出するように、かつ、前記第1の接続孔に平面的に内包されるように形成された第2の接続孔と、前記半導体チップに分離される前の半導体ウエハの状態の際に、前記有機絶縁膜上に形成され、前記第2の接続孔を通じて前記第1の電極と電気的に接続された第2の配線と、前記半導体チップに分離される前の半導体ウエハの状態の際に、前記第2の配線を覆う絶縁膜に第2の配線の一部が露出するように形成された第3の接続孔と、前記半導体チップに分離される前の半導体ウエハの状態の際に形成され、前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極とを有するものである。

(5)

7

記半導体チップに分離される前の半導体ウエハの状態の際に、前記第2の配線を覆う絶縁膜に第2の配線の一部が露出するように形成された第3の接続孔と、前記半導体チップに分離される前の半導体ウエハの状態の際に形成され、前記第3の接続孔を通じて前記第2の配線と電気的に接続され、かつ、前記半導体チップを所定の配線基板に実装する際にその配線基板の配線が接続される第2の電極とを有するものである。

## 【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0018】(実施の形態1) 本実施の形態1の半導体装置は、例えば半導体ウエハの状態のまま複数の半導体チップに対して一括してパッケージ・プロセスを施すW P P技術を用いたものである。なお、ここで言うパッケージ・プロセスは、外部端子(ボンディングパッド)を形成した後の工程であって、半導体チップを所定の配線基板に接続するための電極(後述のバンプ電極)の形成工程までを言う。

【0019】図1は、その半導体装置を構成する半導体チップ1の全体平面図である。半導体チップ1を構成する半導体基板1sは、例えば平面長方形形状に形成された単結晶シリコン等の小片からなり、その主面には、例えばDRAM(Dynamic RandomAccess Memory)、SRAM(Static Random Access Memory)またはフラッシュメモリ(E PROM; Electric Erasable and Programmable Read Only Memory)等のようなメモリ回路、マイクロプロセッサ等のような論理回路あるいは上記メモリ回路と論理回路とを同一の半導体基板1sに設けている混載型の回路が形成されている。

【0020】半導体チップ1の主面中央(半導体チップ1の幅方向中央)には、複数の外部端子(第2の電極)2が半導体チップ1の長手方向に沿って所定の間隔毎に配置されている。外部端子2は、上記回路の引き出し電極であり、ウエハプロセスで形成されている。なお、ここで言うウエハプロセスとは、半導体ウエハに素子および配線(第1の配線)を形成した後、外部端子2を形成して半導体ウエハにおける各半導体チップの電気的特性を検査することが可能な状態になるまでのプロセスを言う。

【0021】各外部端子2には、再配線(第2の配線)3の一端が電気的に接続されている。この再配線3の他端は、半導体チップ1の中央から長辺の方向に沿って延び、その他端にはランド3aが形成されている。ランド3aは、半導体チップ1の主面に規則的に並んで分散配置されている。各ランド3aの直径は、再配線3の他の部分の幅よりも大きな寸法で形成されており、そのランド3aに電気的に接続された状態でバンプ電極(第2の

電極)4が形成されている。バンプ電極4は、上記した外部端子2よりも相対的に大きな寸法(バンプ電極4自体の寸法および隣接間隔)で形成されている。半導体チップ1は、そのバンプ電極4によって所定の配線基板上に実装される。そして、半導体チップ1の外部端子2と上記所定の配線基板の配線とは、バンプ電極4を通じて互いに電気的に接続される。すなわち、本実施の形態1の半導体装置は、例えばCSP(Chip Size Package)構造の半導体装置である。

【0022】図2は図1の半導体チップ1の要部断面図である。また、図3は図2の外部端子における接続孔部分を抜き出した断面図である。なお、半導体基板1sの主面には上記回路を形成するための素子が形成されているが、図2には図示されない。

【0023】半導体基板1sの主面上には、層間絶縁膜5が形成されている。層間絶縁膜5は、例えば酸化シリコン膜からなり、その上面には、上記した外部端子2が形成されている。外部端子2は、例えばアルミニウム、アルミニウム-銅合金、アルミニウム-シリコン合金またはアルミニウム-銅-シリコン合金等からなる。なお、外部端子2は層間絶縁膜5中に形成された配線(第1の配線)を通じて半導体基板1sの主面の素子と電気的に接続されている。

【0024】また、層間絶縁膜5上には、無機絶縁膜6が形成されており、これによって外部端子2の外周近傍の上面および側面が覆われている。無機絶縁膜6は、主として配線(外部端子2を含む)を水分や外気等から保護する、いわゆる表面保護膜に相当する膜であり、例えば酸化シリコン膜の単体膜または酸化シリコン膜上に窒化シリコン膜が覆われてなる積層膜からなり、その厚さは、例えば $1.6 \mu m$ 程度である。この無機絶縁膜6には接続孔(第1の接続孔)7aが穿孔されており、その接続孔7aから外部端子2の上面が露出されている。接続孔7a内における無機絶縁膜6の端部の断面形状は、例えば逆テープ状に形成されている。すなわち、接続孔7aの径が、外部端子2に近づく(図2の下方)にしたがって次第に大径となるように形成されている。なお、無機絶縁膜6に形成される接続孔7aの断面形状は逆テープ状になり易いが、この逆テープは故意にしたものではなく、本実施の形態1の効果を説明するために特に示したものである。

【0025】無機絶縁膜6上には、有機絶縁膜8が形成されている。有機絶縁膜8は、例えばポリイミド系の樹脂からなり、半導体チップ1とこれを実装する配線基板との間の熱応力を緩和する機能を有している。有機絶縁膜8の厚さは、例えば $5 \mu m$ 程度である。有機絶縁膜8には、上記接続孔7aと平面的に重なるように(接続孔7aに平面的に内包されるように)接続孔(第2の接続孔)7bが穿孔され、そこから外部端子2の上面が露出されている。

(6)

9

【0026】ただし、本実施の形態1においては、接続孔7a内における無機絶縁膜6の端部が有機絶縁膜8によって覆われ、その無機絶縁膜6の端部が接続孔7b内に露出されないようになっている。すなわち、接続孔7a、7bの平面的な中心位置は一致しているが、図3(a)、(b)にも示すように、接続孔7bの平面寸法Aの方が、接続孔7aの平面寸法Bよりも小さくなるように形成されており、接続孔7a、7bの端部の平面位置は一致しないようになっている。したがって、接続孔7aにおける無機絶縁膜6の端部の断面形状が逆テープ状であっても有機絶縁膜8に覆われ特に問題がないし、接続孔7b形成時に無機絶縁膜6が削れすぎてしまうというような問題を考慮する必要もない。上記平面寸法BとAとの差は、無機絶縁膜6の厚さよりも大であることが好ましい。また、本実施の形態1においては、接続孔7bにおける有機絶縁膜8の断面形状が順テープ状に形成されている。すなわち、接続孔7bの平面寸法Aが外部端子2から離れる(図2の上方)にしたがって次第に大径となるように形成されている。

【0027】有機絶縁膜8上には、上記した再配線3が形成されている。再配線3は、例えば銅または銅合金からなり、その一端は接続孔7bを通じて外部端子2と電気的に接続されている。本実施の形態1においては、上記したように接続孔7bが順テープ状に形成され、かつ、その内部に無機絶縁膜6の端部が露出されることもないで、接続孔7b内における再配線3のステップカバレージを向上させることができる。このため、再配線3の断線不良の発生率を低減できる。したがって、半導体装置の信頼性および歩留まりを向上させることが可能となる。

【0028】また、有機絶縁膜8上には、有機絶縁膜9が堆積され、これによって再配線3が覆われている。この有機絶縁膜9は、例えばポリイミド系の樹脂からなり、半導体チップ1とこれを実装する配線基板との熱応力を緩和する機能を有している。

【0029】有機絶縁膜9には、接続孔(第3の接続孔)10および開口部11が形成されている。接続孔10からは再配線3の他端が露出されている。開口部11からは外部端子2の上方の再配線3部分が露出している。接続孔10および開口部11の断面形状も順テープ状となっている。有機絶縁膜9上には下地金属膜12a、12bが形成されている。この下地金属膜12a、12bは、例えば下層からクロム、ニッケル、銅および金が積み重ねられてなり、それぞれ接続孔10および開口部11を通じて再配線3と電気的に接続されている。一方の下地金属膜12aは、上記ランド3aに相当する部分であり、例えば平面円形状に形成され、その平面寸法は、再配線3の幅よりも大きくなるように形成されている。この下地金属膜12a上には、例えば鉛一錫半田からなるパンプ電極4が形成されている。パンプ電極4

10

の直径は、例えば $260\mu\text{m}$ 程度である。

【0030】次に、本実施の形態1における半導体装置の製造方法の一例を説明する。

【0031】図4はその製造工程中における半導体基板1s(この段階では半導体ウエハと称する略円形状の半導体の薄板)の要部断面図を示している。半導体基板1sには、上記回路を形成するための素子が既に形成されている。半導体基板1sの主面上には、例えば酸化シリコン膜からなる層間絶縁膜5がCVD法等によって形成されている。この層間絶縁膜5上には、例えばアルミニウム、アルミニウム-銅合金、アルミニウム-シリコン合金またはアルミニウム-銅-シリコン合金からなる外部端子2が形成されている。この外部端子2は、上記材料からなる導体膜をスパッタリング法等によって層間絶縁膜5上に形成した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることで形成されている。

【0032】まず、このような層間絶縁膜5上に、例えば酸化シリコン膜からなる絶縁膜を、TEOS(Tetraethoxysilane)ガスを用いたCVD法等によって形成した後、さらにその上に窒化シリコン膜をCVD法等によって形成することで無機絶縁膜6を形成し、さらに、通常の通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることで無機絶縁膜6に接続孔7aを穿孔する。接続孔7aからは外部端子2の上面の一部が露出されている。この際、本実施の形態1においては接続孔7aの断面形状が逆テープ状となつても特に問題ない。

【0033】続いて、図5に示すように、無機絶縁膜6上に、例えばポリイミド系の樹脂からなる有機絶縁膜8を回転塗布法等によって堆積した後、ウエットエッチング法等によって接続孔7bを穿孔する。接続孔7bからは外部端子7aの上面の一部が露出されるが、無機絶縁膜6の端部は露出されない。すなわち、無機絶縁膜6の端部は接続孔7b内において有機絶縁膜8によって覆われている。また、接続孔7bの断面形状は順テープ状に形成されている。その後、有機絶縁膜8上に、例えば銅または銅合金からなる導体膜をスパッタリング法等によって堆積した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、図6に示すように、再配線3を形成する。

【0034】次いで、図7に示すように、有機絶縁膜8上に、例えばポリイミド系の樹脂からなる有機絶縁膜9を回転塗布法等によって堆積した後、その有機絶縁膜9にウエットエッチング法等によって接続孔10および開口部11を形成する。続いて、例えばクロム、ニッケル、銅および金を下層から順にスパッタリング法等によって堆積した後、これを通常のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、下地金属膜12a、12bを形成し、さら

(7)

11

に、図1、2に示したバンプ電極4を形成する。その後、半導体基板（半導体ウエハ）1sから個々の半導体チップを切り出し、図1、2に示した半導体チップ1を得る。

**【0035】（実施の形態2）**本実施の形態2においては、図8(a)～(c)に示すように、有機絶縁膜8に穿孔された接続孔7bの平面寸法Aが、無機絶縁膜6に穿孔された接続孔7aの平面寸法Bよりも大きく、接続孔7bから無機絶縁膜6の端部が露出されている。この場合の平面寸法A、Bの差は、無機絶縁膜6の厚さ程度あるいはそれよりも大きくなることが好ましい。本実施の形態2においては、再配線3と外部端子2とを接続する接続孔7a、7bの側面の立ち上がり状態が2段階に別れ、なだらかである。また、接続孔7aにおける無機絶縁膜6の端部が、接続孔7bにおける有機絶縁膜8の端部よりも後退しない。すなわち、接続孔7aの径が接続孔7bの径よりも大きくなる状態にならない。したがって、接続孔7a、7b内での再配線3のステップカバレージを向上させることができるので、再配線3の断線不良の発生率を低減できる。したがって、半導体装置の信頼性および歩留まりを向上させることが可能となる。これ以外の構造は前記実施の形態1と同じなので説明を省略する。なお、図8(a)は半導体装置の製造工程中（バンプ電極形成工程前）の要部断面図である。

**【0036】**次に、本実施の形態2の半導体装置の製造方法の一例を説明する。まず、図9(a)に示すように、前記実施の形態1と同様にして、層間絶縁膜5上に、前記無機絶縁膜6を堆積する。これにより、外部端子2の表面（側面および上面）を覆う。続いて、図9

(b)に示すように、前記実施の形態1と同様にして、無機絶縁膜6上に、有機絶縁膜8を形成した後にその有機絶縁膜8に接続孔7bを穿孔する。この接続孔7bの断面形状は順テープ状に形成されている。この段階では、接続孔7bから外部端子2は露出されず、無機絶縁膜6が露出されている。その後、図8(a)に示したように、無機絶縁膜6に接続孔7aを通常のフォトリソグラフィ技術およびドライエッティング技術によって形成する。この際、接続孔7aの平面寸法Bが接続孔7bの平面寸法Aよりも小さくなるようにする。この接続孔7aからは外部端子2の上面の一部が露出されている。このようにして外部端子2を露出させた後、前記実施の形態1と同様にして再配線3を形成する。なお、これ以外は前記実施の形態1と同じなので説明を省略する。

**【0037】**また、次のようにすることもできる。まず、図10(a)に示すように、前記実施の形態1と同様にして、層間絶縁膜5上に、前記無機絶縁膜6を堆積し、外部端子2の表面（側面および上面）を被覆した後、その無機絶縁膜6に接続孔7aを通常のフォトリソグラフィ技術およびドライエッティング技術によって形成する。この接続孔7aからは外部端子2の上面の一部が

12

露出されている。続いて、図10(b)に示すように、前記実施の形態1と同様にして、半導体基板1の主面上方に有機絶縁膜8を形成した後にその有機絶縁膜8に接続孔7bを穿孔する。接続孔7bの断面形状は順テープ状に形成されている。この際、接続孔7bの平面寸法Aが接続孔7aの平面寸法Bよりも大きくなるようにする。その後、図8(a)に示したように、前記実施の形態1と同様にして再配線3を形成する。なお、これ以外は前記実施の形態1と同じなので説明を省略する。

**【0038】（実施の形態3）**本実施の形態3においては、前記無機絶縁膜に接続孔を穿孔する際に、例えば次のようにする。まず、図11(a)に示すように、無機絶縁膜6上に、接続孔形成用のフォトレジスト膜13を形成する。フォトレジスト膜13には、接続孔形成領域が露出され、それ以外の領域が覆われるような開口パターンが形成されている。ここで、その開口パターンの断面形状を順テープ状に形成する。続いて、そのフォトレジスト膜13をエッチングマスクとして、異方性ドライエッティング処理等によりフォトレジスト膜13から露出される無機絶縁膜6をエッチング除去し、外部端子2の上面の一部が露出するような接続孔7aを穿孔する。この際、フォトレジスト膜13の開口パターンの断面形状が順テープ状となっていると、無機絶縁膜6に穿孔される接続孔7aの断面形状も順テープとなる。これは、このドライエッティング処理に際してフォトレジスト膜13も薄いところから次第にエッチング除去されるので開口パターンの開口径が広がってゆくが、それに伴い下層の無機絶縁膜6も接続孔7aの径が平面的に広がる方向に、かつ、その径の寸法ごとに時間的に遅れながら次第にエッチング除去される結果、接続孔7aの断面も順テープ状となる。

**【0039】**このようにして接続孔7aを穿孔した後、フォトレジスト膜13を除去する。その後、前記実施の形態1、2と同様にして、図11(b)に示すように、有機絶縁膜8を堆積し、その有機絶縁膜8に接続孔7bを穿孔した後、前記実施の形態1、2と同様にして、再配線3を形成する。本実施の形態3においては、無機絶縁膜6に穿孔された接続孔7aの断面形状を順テープ状に形成することにより、接続孔7aにおける再配線3のステップカバレージをさらに向上させることができる。これ以外は前記実施の形態1、2と同じなので説明を省略する。なお、図11(b)は半導体装置の製造工程中（バンプ電極形成工程前）の要部断面図である。

**【0040】（実施の形態4）**本実施の形態4においては、図12に示すように、外部端子2と再配線3との間の絶縁膜を無機絶縁膜6のみで構成し、かつ、無機絶縁膜6に穿孔された接続孔7aの断面形状を順テープ状としたものである。接続孔7aからは外部端子2の上面一部が露出され、ここを通じて外部端子2と再配線3とが電気的に接続されている。この場合も前記実施の形態1

(8)

13

～3と同様に接続孔7a内における再配線3のステップカバレージを向上させることができる。また、有機絶縁膜8の形成工程をなくせるので、工程の簡略化が可能となる。この接続孔7aの断面形状を順テーパ状とするには、前記実施の形態3の方法を用いると良い。これ以外は、前記実施の形態1～3と同じなので説明を省略する。なお、図12は半導体装置の製造工程中（パンプ電極形成工程前）の要部断面図である。

**【0041】**（実施の形態5）本実施の形態5においては、図13に示すように、外部端子2と再配線3との間の絶縁膜を有機絶縁膜8のみで構成し、かつ、有機絶縁膜8に穿孔された接続孔7bの断面形状を順テーパ状としたものである。接続孔7bからは外部端子2の上面一部が露出され、ここを通じて外部端子2と再配線3とが電気的に接続されている。この場合も前記実施の形態1～3と同様に、接続孔7bにおける再配線3のステップカバレージを向上させることができる。また、無機絶縁膜6の形成工程をなくせるので、工程の簡略化が可能となる。これ以外は、前記実施の形態1～3と同じなので説明を省略する。なお、図13は半導体装置の製造工程中（パンプ電極形成工程前）の要部断面図である。

**【0042】**（実施の形態6）本実施の形態6においては、図14に示すように、外部端子2と再配線3との間の絶縁膜を無機絶縁膜6、14で構成し、かつ、無機絶縁膜6、14に穿孔された接続孔7a1、7a2の断面形状を順テーパ状としたものである。無機絶縁膜14は、例えば酸化シリコン膜の単体膜または酸化シリコン膜上に窒化シリコン膜を堆積してなる積層膜からなり、主として半導体チップ1とこれを実装する配線基板との間の熱応力を緩和する機能を有している。すなわち、無機絶縁膜14は、主として応力緩和機能を有している。接続孔7a1、7a2からは外部端子2の上面一部が露出され、ここを通じて外部端子2と再配線3とが電気的に接続されている。この場合も前記実施の形態1～3と同様に接続孔7a1、7a2内における再配線3のステップカバレージを向上させることができる。また、有機絶縁膜8の形成工程をなくせるので、工程の簡略化が可能となる。この接続孔7a1、7a2の断面形状を順テーパ状とするには、前記実施の形態3の方法を用いると良い。これ以外は、前記実施の形態1～3と同じなので説明を省略する。なお、図14は半導体装置の製造工程中（パンプ電極形成工程前）の要部断面図である。

**【0043】**（実施の形態7）本実施の形態7においては、図15に示すように、無機絶縁膜6の厚さを前記実施の形態1～3の場合よりも薄く（例えば0.3～0.5μm程度に）したものである。有機絶縁膜8に穿孔された接続孔7bからは無機絶縁膜6の端部が露出されている。接続孔7a、7bからは外部端子2の上面一部が露出され、ここを通じて外部端子2と再配線3とが電気的に接続されている。本実施の形態7によれば、接続孔7

14

a内の無機絶縁膜6の端部の断面形状が逆テーパ状となつても、また、その無機絶縁膜6の端部が接続孔7bにおける有機絶縁膜8の端部よりも後退してしまったとしても、無機絶縁膜6の厚さが薄いので、接続孔7a、7b内における再配線3のステップカバレージが劣化することがない。したがって、本実施の形態7においても、前記実施の形態1～3と同様に、再配線3の不良発生率を低減でき、半導体装置の信頼性および歩留まりを向上させることができるのである。なお、図15は半導体装置の製造工程中（パンプ電極形成工程前）の要部断面図である。

**【0044】**以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

**【0045】**例えば前記実施の形態1～7においては、半導体チップの主面上中央に外部端子を配置した場合について説明したが、これに限定されるものではなく、例えば半導体チップの主面上外周近傍に外部端子を配置する構造でも良い。

**【0046】**また、次のようにしても良い。まず、前記無機絶縁膜に外部端子が露出される第1の接続孔を形成した後、その接続孔の側面（無機絶縁膜の側面）に、側壁絶縁膜または側壁導体膜をエッチバック法等によって形成する。これにより、その接続孔の端部の断面形状を順テーパ状に形成する。その後、有機絶縁膜を形成した後、外部端子が露出する第2の接続孔を形成する。この場合、第2の接続孔から側壁絶縁膜または側壁導体膜が露出されるようになる。この場合、側壁絶縁膜や側壁導体膜の材料を選択する際に、有機絶縁膜とのエッティング選択比を大きくとれる材料とすることで、有機絶縁膜に第2の接続孔を穿孔する際に、有機絶縁膜と側壁絶縁膜または側壁導体膜とのエッティング選択比を大きくした状態でのエッティング処理により、下層の無機絶縁膜が後退してしまうような不具合を生じさせることなく、第2の接続孔を形成できる。また、側壁絶縁膜や側壁導体膜が形成され順テーパ状となっているので、第2の配線の被覆性も向上させることができる。

**【0047】**

**【発明の効果】**本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

**【0048】**（1）本発明によれば、第1の電極と第2の配線とを電気的に接続する接続孔内において第2の配線の段差被覆性を向上させることが可能となる。

**【0049】**（2）上記（1）により、上記接続孔内における第2の配線の断線不良発生率を低減できるので、半導体装置の信頼性を向上させることが可能となる。

**【0050】**（3）本発明によれば、上記（1）により、

(9)

15

上記接続孔内における第2の配線の断線不良発生率を低減できるので、半導体装置の歩留まりを向上させることが可能となる。

## 【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置を構成する半導体チップの全体平面図である。

【図2】図1の半導体チップの要部断面図である。

【図3】(a)は図2の半導体チップの要部断面図であり、(b)は(a)の平面図である。

【図4】図1の半導体装置の製造工程中における要部断面図である。

【図5】図4に続く図1の半導体装置の製造工程中における要部断面図である。

【図6】図5に続く図1の半導体装置の製造工程中における要部断面図である。

【図7】図6に続く図1の半導体装置の製造工程中における要部断面図である。

【図8】(a)は本発明の他の実施の形態である半導体装置の要部断面図であり、(b)は(a)のさらに要部のみを抜き出した要部断面図であり、(c)は(b)の平面図である。

【図9】(a), (b)は図8の半導体装置の製造工程中における要部断面図である。

【図10】(a), (b)は図8の半導体装置の製造工程中における要部断面図である。

【図11】(a), (b)は本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

16

る。

【図12】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図13】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

【図14】本発明の他の実施の形態である半導体装置の製造工程中における要部断面図である。

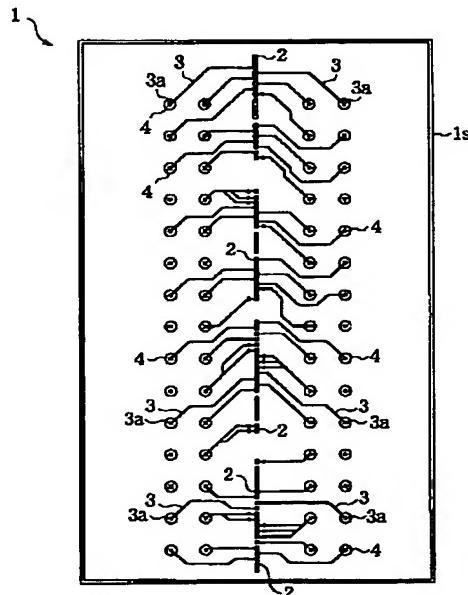
【図15】本発明のさらに他の実施の形態である半導体装置の製造工程中における要部断面図である。

## 【符号の説明】

- 1 半導体チップ
- 1s 半導体基板
- 2 外部端子（第1の電極）
- 3 再配線（第2の配線）
- 3a ランド
- 4 バンプ電極（第2の電極）
- 5 層間絶縁膜
- 6 無機絶縁膜
- 7a 接続孔（第1の接続孔）
- 7b 接続孔（第2の接続孔）
- 8 有機絶縁膜
- 9 有機絶縁膜
- 10 接続孔（第3の接続孔）
- 11 開口部
- 12a, 12b 下地金属膜
- 13 フォトレジスト膜
- 14 無機絶縁膜

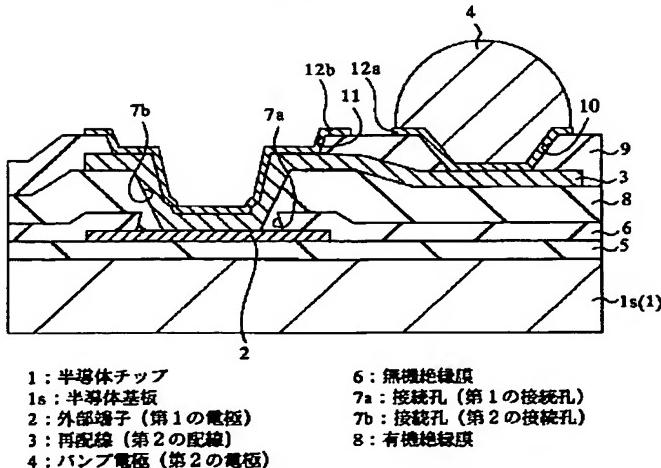
【図1】

図 1



【図2】

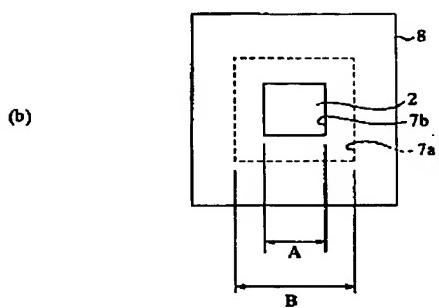
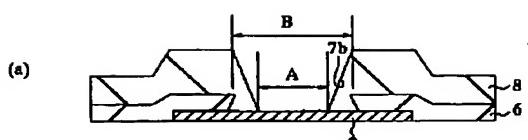
図 2



(10)

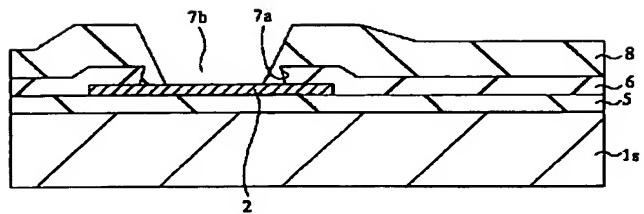
【図3】

図 3



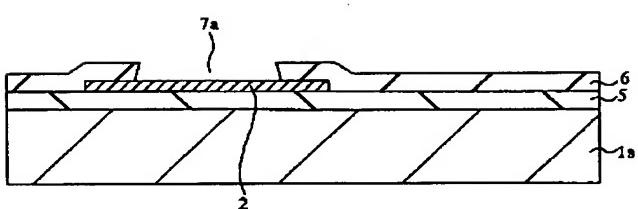
【図5】

図 5



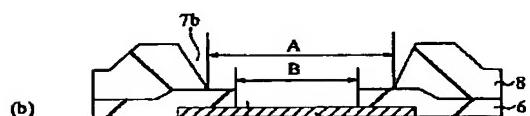
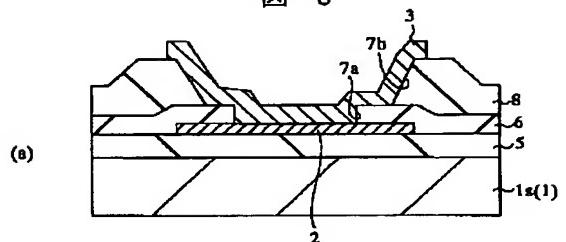
【図4】

図 4

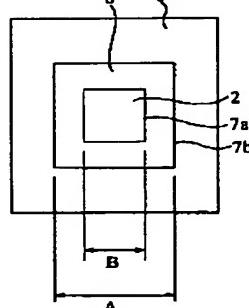


【図8】

図 8



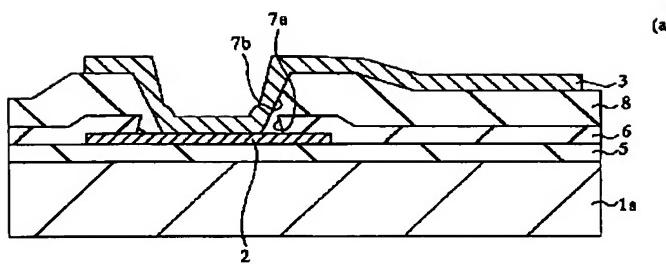
(c)



(11)

【図 6】

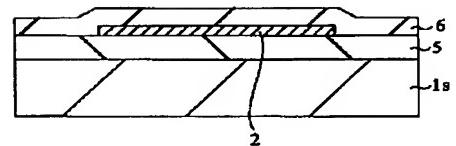
図 6



【図 7】

図 7

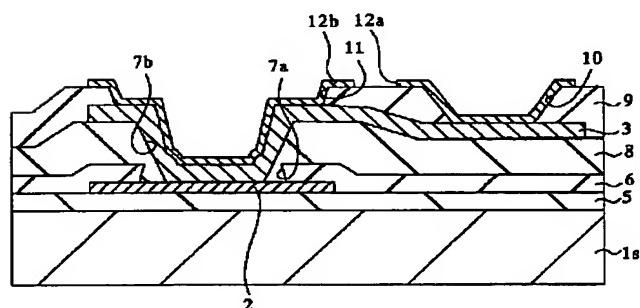
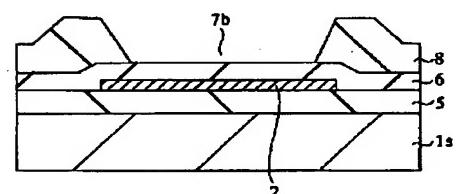
(a)



【図 9】

図 9

(b)



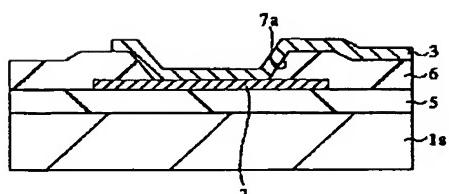
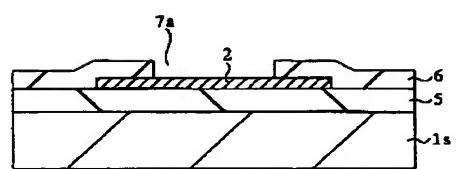
【図 12】

図 12

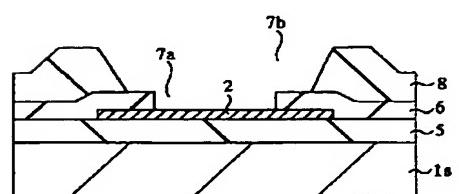
【図 10】

図 10

(a)



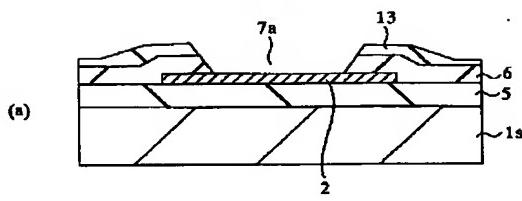
(b)



(12)

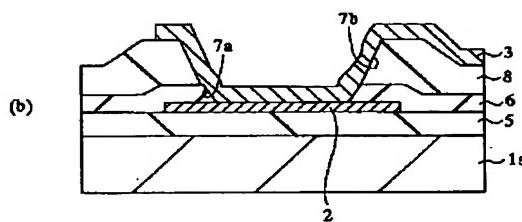
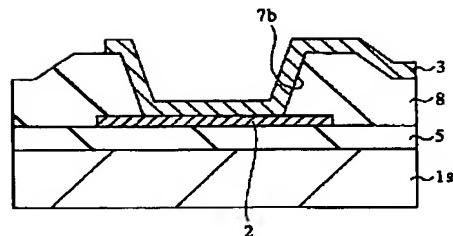
【図11】

図 11



【図13】

図 13

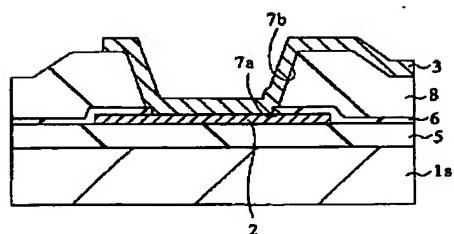
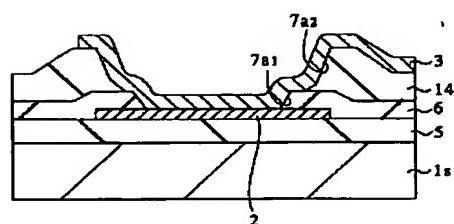


【図14】

図 14

【図15】

図 15



フロントページの続き

(72)発明者 米谷 統多

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 原 雄次

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**